



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0017842
Application Number

출원년월일 : 2003년 03월 21일
Date of Application MAR 21, 2003

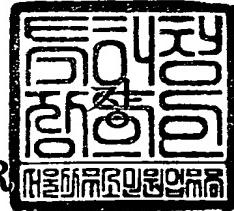
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 10월 24일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2003.03.21		
【발명의 명칭】	반도체 소자의 제조 방법		
【발명의 영문명칭】	METHOD FOR FABRICATION OF SEMICONDUCTOR DEVICE		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	이성욱		
【성명의 영문표기】	LEE, Seong Wook		
【주민등록번호】	710923-1674511		
【우편번호】	361-480		
【주소】	충청북도 청주시 흥덕구 향정동 1번지		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	16	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	5	항	269,000 원
【합계】	298,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 셀영역에 잔류하는 스페이서용 절연막의 식각시 식각시간이 길어짐에 따른 데 이터베이스 작성의 어려움을 해결함과 동시에 식각시간이 작아짐에 따른 스컴발생 및 적정 타겟 설정의 어려움을 해결하는데 적합한 반도체 소자의 제조 방법을 제공하기 위한 것으로, 셀 영역과 주변회로영역이 정의된 반도체 기판 상에 복수개의 게이트라인을 형성하는 단계, 상기 게이트라인 상부에 제1절연막과 제2절연막을 차례로 형성하는 단계, 상기 제2절연막 상에 상기 셀영역을 덮는 제1마스크층과 상기 제1마스크층으로부터 소정 간격을 두고 상기 주변회로영역에 위치하는 제2마스크층을 형성하는 단계, 상기 제1,2마스크층을 식각마스크로 상기 제2절연막을 식각하여 상기 주변회로영역의 게이트라인의 양측벽에 스페이서를 형성함과 동시에 상기 제2마스크층 아래에 가드를 형성하는 단계, 상기 제1,2마스크층을 제거하는 단계, 상기 가드를 포함한 상기 주변회로영역을 덮고 상기 셀영역을 오픈시키는 제3마스크층을 형성하는 단계, 및 상기 제3마스크층을 식각마스크로 하여 상기 셀영역에 잔류하는 상기 제2절연막을 습식식각하는 단계를 포함한다.

【대표도】

도 3e

【색인어】

셀영역, 주변회로영역, 습식식각, 셀오픈마스크층, 측면손실, 월마스크층

【명세서】**【발명의 명칭】**

반도체 소자의 제조 방법{METHOD FOR FABRICATION OF SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래 기술에 따른 반도체 소자의 제조 방법을 도시한 공정 단면도,

도 2는 종래 기술에 따른 스CMP 발생을 도시한 도면,

도 3a 내지 도 3e는 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 도시한 공정

단면도.

* 도면의 주요 부분에 대한 부호의 설명

31 : 반도체 기판

32 : 게이트산화막

33 : 게이트전극

34 : 게이트하드마스크

35a : 제1산화막

35b : 제2산화막

36 : 질화막

37a : 주변회로영역오픈마스크층

37b : 월마스크층

38 : 셀영역오픈마스크층

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 스페이서를 구비하는 반도체 소자의 제조 방법에 관한 것이다.
- <11> 최근 DRAM(dynamic random access memory)의 셀 어레이(cell array)와 로직 회로(logic circuit)를 하나의 칩(chip) 내에 구현하는 임베디드(embedded) DRAM 기술이 활발히 진행되고 있다. 주변회로 영역의 소스/드레인 영역과 같이 어느 정도의 깊이 이상을 갖는 접합 영역이 요구되는데 이때 게이트 스페이서(gate spacer)의 폭(width)도 어느 정도 커야 한다.
- <12> 그러나, DRAM 소자가 고집적화됨에 따라 워드 라인(wordline)의 피치(pitch)가 줄어들게 되므로, 게이트 스페이서의 폭이 증가될수록 셀 어레이 영역의 인접한 게이트 스페이서간 영역이 감소하게 된다. 그러면, 이 영역에 후속 층간절연막을 채울 때 보이드(void)가 발생되고, 자기정렬 콘택 형성시 자기정렬 콘택의 하부의 크기가 감소되어 콘택 저항(contact resistance)이 증가하는 문제점이 발생된다.
- <13> 도 1a 내지 도 1c는 종래 기술에 따른 반도체 소자의 제조 방법을 도시한 공정 단면도이다.
- <14> 도 1a에 도시된 바와 같이, 셀영역과 주변회로영역이 정의된 반도체 기판(11) 상에 게이트산화막(12)을 형성하고, 게이트산화막(12) 상에 게이트전극(13) 및 게이트하드마스크(14)를 형성한 후 게이트패터닝공정을 통해 복수개의 게이트라인을 형성한다. 이때, 게이트라인은 셀 영역 및 주변회로영역에 각각 형성된다.

- <15> 다음에, 게이트라인을 포함한 반도체 기판(11) 상에 제1산화막(15a)과 질화막(16)을 차례로 증착한 후, 질화막(16) 상에 제2산화막(15b)을 다시 증착한다.
- <16> 도 1b에 도시된 바와 같이, 제2산화막(15b) 상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 셀영역의 전영역을 덮고 주변회로영역의 일부를 덮는 제1마스크층(17)을 형성한다. 이때, 제1마스크층(17)은 주변회로영역의 일부를 덮는데, 주변회로영역의 게이트라인의 측벽에 스페이서를 형성하기 위한 공간을 제외한 모든 영역을 덮는 형태이다.
- <17> 다음에, 제1마스크층(17)에 의해 노출된 제2산화막(15b)을 식각하여 게이트라인의 양측 벽에 접하는 산화막스페이서(15c)를 형성한다.
- <18> 도 1c에 도시된 바와 같이, 제1마스크층(17)을 제거한 후, 다시 감광막을 도포하고 노광 및 현상으로 패터닝하여 주변회로영역을 덮고 셀영역을 오픈시키는 제2마스크층(18)을 형성한다.
- <19> 다음에, 제2마스크층(18)에 의해 드러나는 셀영역의 제2산화막(15b)을 습식식각한다. 이 때, 질화막(16)이 식각배리어 역할을 하여 질화막(16) 하부의 제1산화막(15a)은 습식식각되지 않는다.
- <20> 그러나, 종래기술은 셀영역내 제2산화막(15b)을 제거하기 위한 셀오픈 공정시 습식식각 진행으로 인해 시간이 길어지면 제2마스크층(18) 아래부분의 제2산화막(15b)을 치고 들어가서 마스킹된 부분 이상이 식각되고, 이는 데이터베이스 작성시 미리 이를 감안하여야 하는 문제가 있다.

<21> 반대로, 식각 시간이 작으면 셀영역내 스럼(scum)이 잔류하거나 제2산화막 제거가 완벽하게 이루어지지 않아 적정 타겟 설정이 어려우면서 동시에 과도식각을 많이 진행하기도 매우 부담스러운 설정이다(도 2 참조)

【발명이 이루고자 하는 기술적 과제】

<22> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 셀영역에 잔류하는 스페이서용 절연막의 식각시 식각시간이 길어짐에 따른 데이터베이스 작성의 어려움을 해결함과 동시에 식각시간이 작아짐에 따른 스럼발생 및 적정 타겟 설정의 어려움을 해결하는데 적합한 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<23> 상기 목적을 달성하기 위한 본 발명의 반도체 소자의 제조 방법은 셀영역과 주변회로영역이 정의된 반도체 기판 상에 복수개의 게이트라인을 형성하는 단계, 상기 게이트라인 상부에 제1절연막과 제2절연막을 차례로 형성하는 단계, 상기 제2절연막 상에 상기 셀영역을 덮는 제1마스크층과 상기 제1마스크층으로부터 소정 간격을 두고 상기 주변회로영역에 위치하는 제2마스크층을 형성하는 단계, 상기 제1,2마스크층을 식각마스크로 상기 제2절연막을 식각하여 상기 주변회로영역의 게이트라인의 양측벽에 스페이서를 형성함과 동시에 상기 제2마스크층 아래에 가드를 형성하는 단계, 상기 제1,2마스크층을 제거하는 단계, 상기 가드를 포함한 상기 주변회로영역을 덮고 상기 셀영역을 오픈시키는 제3마스크층을 형성하는 단계, 및 상기 제3마스크층을 식각마스크로 하여 상기 셀영역에 잔류하는 상기 제2절연막을 습식식각하는 단계를 포함하

는 것을 특징으로 하고, 상기 제2마스크층은, 상기 제1마스크층으로부터 소정간격을 두고 이격 되되, 상기 셀영역과 상기 주변회로영역의 경계부분을 오픈시키는 것을 특징으로 하며, 상기 제1절연막은 산화막과 질화막의 적층이고, 상기 제2절연막은 산화막인 것을 특징으로 한다.

<24> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<25> 도 3a 내지도 3e는 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 도시한 공정 단면도이다.

<26> 도 3a에 도시된 바와 같이, 셀영역과 주변회로영역이 정의된 반도체 기판(31) 상에 게이트산화막(32)을 형성하고, 게이트산화막(32) 상에 게이트전극(33) 및 게이트하드마스크(34)를 형성한 후 게이트패터닝공정을 통해 복수개의 게이트라인을 형성한다. 이때, 게이트라인은 셀영역 및 주변회로영역에 각각 형성된다.

<27> 다음에, 게이트라인을 포함한 반도체 기판(31) 상에 제1산화막(35a)과 질화막(36)을 차례로 증착한 후, 질화막(36) 상에 제2산화막(35b)을 다시 증착한다.

<28> 이때, 제1산화막(35a)은 질화막(36)을 바로 반도체기판(31) 상에 증착할 때 발생하는 반도체 기판(31)의 스트레스를 감소시키기 위한 버퍼층이고, 질화막(36)은 후속 자기정렬콘택식 각시 자기정렬이 되기 위한 고선택비 레시피를 사용하는 경우의 배리어막이다. 그리고, 제1산화막(35a)은 100Å, 질화막(36)은 100Å, 제2산화막(35b)은 300Å의 두께로 형성한다.

<29> 도 3b에 도시된 바와 같이, 제2산화막(35b) 상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 셀영역의 전영역을 덮고 주변회로영역을 오픈시키는 주변회로영역오픈마스크층

(37a)과 주변회로영역의 일부를 덮는 월마스크층(Wall mask layer, 37b)을 형성한다. 이때, 주변회로영역오픈마스크층(37a)은 셀영역을 모두 덮고, 월마스크층(37b)은 주변회로영역오픈마스크층(37a)으로부터 소정 거리를 두고 주변회로영역의 일부를 덮는다. 이와 같은 주변회로영역오픈마스크층(37a)과 월마스크층(37b)은 주변회로영역의 게이트라인의 측벽에 스페이서를 형성하기 위한 마스크층이다.

<30> 도 3c에 도시된 바와 같이, 주변회로영역오픈마스크층(37a)과 월마스크층(37b)을 식각마스크로 제2산화막(35b)을 에치백하여 주변회로영역의 게이트라인의 양측벽에 제2산화막으로 된 스페이서(35c)를 형성한다.

<31> 이때, 주변회로영역의 질화막(36) 및 제1산화막(35a)도 동시에 에치백되어 주변회로영역의 게이트라인의 양측벽에는 제1산화막(35a)과 질화막(36)으로 된 L자형 스페이서와 제2산화막으로 된 둠형 스페이서(35c)의 삼중스페이서가 형성된다.

<32> 그리고, 월마스크층(37b) 아래의 제1산화막(35a), 질화막(36) 및 제2산화막(35b)의 적층막도 에치백되지 않고 잔류하여 가드(guard)를 형성하며, 주변회로영역오픈마스크층(37a)과 월마스크층(37b) 사이의 이격된 공간의 제1산화막(35a), 질화막(36) 및 제2산화막(35b)이 에치백되어 셀영역과 주변회로영역의 경계부분에서는 반도체기판(31)의 표면이 노출된다.

<33> 주변회로영역 상부에 잔류하는 제1산화막(35a), 질화막(36) 및 제2산화막(35b)의 적층으로 이루어진 가드는 주변회로영역의 이온주입이 이루어질 부분을 제외한 나머지 부분을 덮는 형태로 형성된다. 즉, 스페이서(35c) 형성후에 바로 이온주입마스크 및 식각을 통해 n형 또는 p형 이온주입을 실시하여 주변회로영역에 트랜지스터의 소스/드레인을 형성하는 것이다.

- <34> 위에서 살펴본 바와 같이, 주변회로영역 상부에 잔류하는 제1산화막(35a), 질화막(36) 및 제2산화막(35b)의 적층으로 이루어진 가드는 스페이서 형성을 위한 부분과 이온주입이 진행 될 부분을 제외한 나머지 부분을 모두 덮는다.
- <35> 도 3d에 도시된 바와 같이, 주변회로영역오픈마스크층(37a)과 월마스크층(37b)을 제거한 후, 전면에 감광막을 도포하고 노광 및 현상으로 패터닝하여 셀영역을 오픈시키는 셀영역오픈마스크층(38)을 형성한다.
- <36> 이때, 셀영역오픈마스크층(38)은 셀영역과 주변회로영역의 경계부분에 오픈된 공간을 채우면서 주변회로영역의 전영역을 덮는 형태로 형성된다.
- <37> 도 3e에 도시된 바와 같이, 셀영역오픈마스크층(38)을 식각마스크로 셀영역에 잔류하고 있는 제2산화막(35b)을 HF를 이용하여 습식식각한다.
- <38> 이때, 셀영역오픈마스크층(38)이 셀영역과 주변회로영역의 경계부분에 오픈된 반도체기판(31)을 덮고 있으므로 HF가 주변회로영역으로 침투하는 것이 방지된다. 즉, 제2산화막(35b)을 습식식각할 때 HF가 주변회로영역으로 침투하지 못하므로 제2산화막(35b)의 측면손실이 발생하지 않는다.
- <39> 위와 같은 습식식각후, 주변회로영역의 반도체 기판(31) 상에는 제1산화막(35a), 질화막(36) 및 제2산화막(35b)의 순서로 적층된 라인 형태의 가드(Guard)가 잔류하고, 셀영역에는 질화막(36)이 식각배리어 역할을 하므로 제2산화막(35b)만 선택적으로 제거된다.
- <40> 전술한 바와 같이, 주변회로영역에 스페이서(35c)를 형성하기 위해 도입된 주변회로영역 오픈마스크층(37a)의 주변에 월마스크층(37b)을 형성하여 셀영역과 주변회로영역의 경계부분

근처에 가드를 형성하고, 셀영역과 주변회로영역의 경계부분을 채우는 셀영역오픈마스크총을 형성하므로써 셀영역의 제2산화막(35b)의 습식식각시 측면으로의 습식각을 방지할 수 있다.

<41> 한편, 주변회로영역의 가드는 이온주입영역과 무관한 영역에 형성되어 있으므로 제거하지 않아도 되고, 주변회로영역과 셀영역의 경계부분은 후속 충간절연막 공정시 충간절연막으로 채워진다.

<42> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<43> 상술한 바와 같은 본 발명은 주변회로영역에 스페이서를 형성하면서 가드를 형성하고, 셀영역과 주변회로영역의 경계부분에 습식식각 경로를 차단하는 셀영역오픈마스크총을 형성하므로써 후속 습식식각을 진행하여도 측면손실을 없애 데이터베이스 조건에 부합하는 동시에 거의 무한에 가까운 과도식각이 가능하여 셀영역에 스컴이나 산화막이 잔류하는 것을 억제할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

셀영역과 주변회로영역이 정의된 반도체 기판 상에 복수개의 게이트라인을 형성하는 단계;

상기 게이트라인 상부에 제1절연막과 제2절연막을 차례로 형성하는 단계;

상기 제2절연막 상에 상기 셀영역을 덮는 제1마스크층과 상기 제1마스크층으로부터 소정 간격을 두고 상기 주변회로영역에 위치하는 제2마스크층을 형성하는 단계;

상기 제1,2마스크층을 식각마스크로 상기 제2절연막을 식각하여 상기 주변회로영역의 게이트라인의 양측벽에 스페이서를 형성함과 동시에 상기 제2마스크층 아래에 가드를 형성하는 단계;

상기 제1,2마스크층을 제거하는 단계;

상기 가드를 포함한 상기 주변회로영역을 덮고 상기 셀영역을 오픈시키는 제3마스크층을 형성하는 단계; 및

상기 제3마스크층을 식각마스크로 하여 상기 셀영역에 잔류하는 상기 제2절연막을 습식식각하는 단계

를 포함하는 반도체 소자의 제조 방법.

【청구항 2】

제1항에 있어서,

상기 제2마스크층은,

상기 제1마스크층으로부터 소정간격을 두고 이격되어, 상기 셀영역과 상기 주변회로영역의 경계부분을 오픈시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제1항에 있어서,

상기 스페이서를 형성함과 동시에 상기 제2마스크층 아래에 가드를 형성하는 단계는,
상기 주변회로영역의 반도체 기판 표면이 드러날때까지 상기 제1,2절연막을 에치백하여
이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

제1항에 있어서,

상기 제1절연막은 산화막과 질화막의 적층이고, 상기 제2절연막은 산화막인 것을 특징으
로 하는 반도체 소자의 제조 방법.

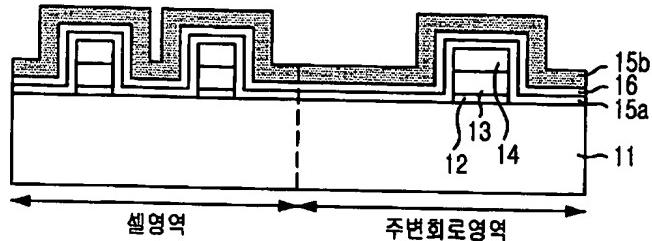
【청구항 5】

제1항에 있어서,

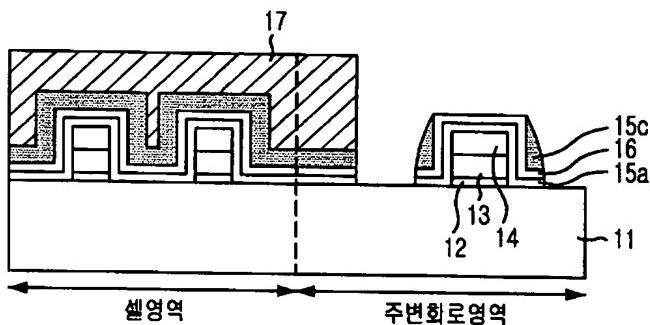
상기 제2절연막을 습식식각하는 단계는,
HF를 이용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

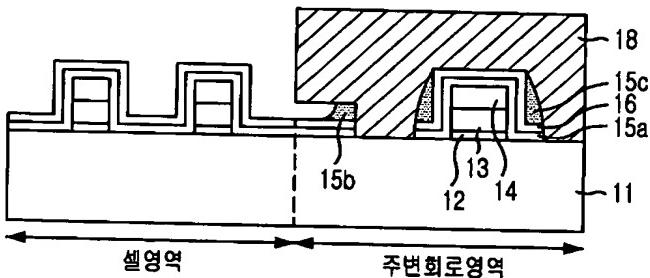
【도 1a】



【도 1b】



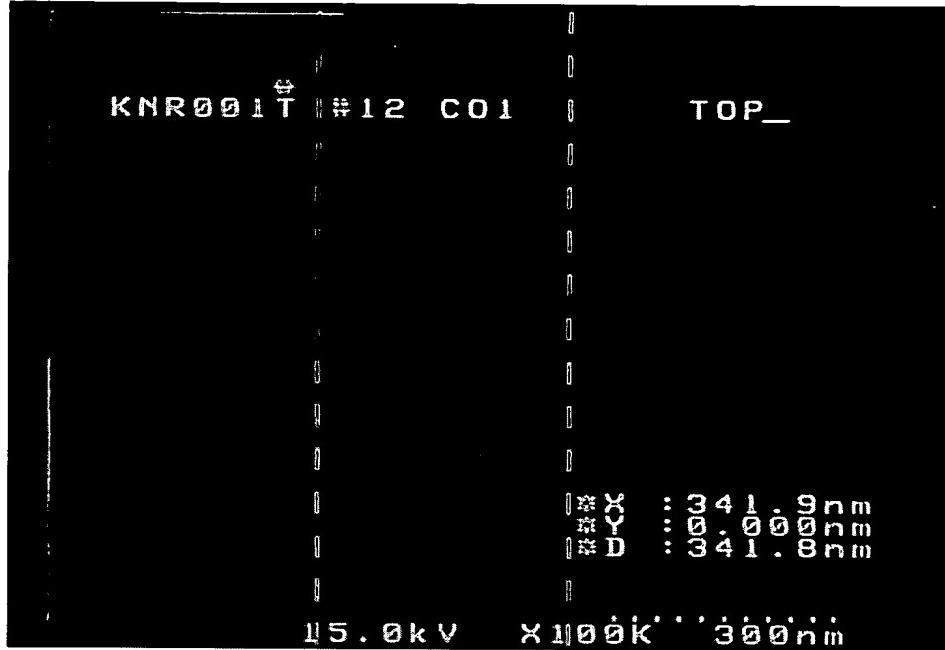
【도 1c】



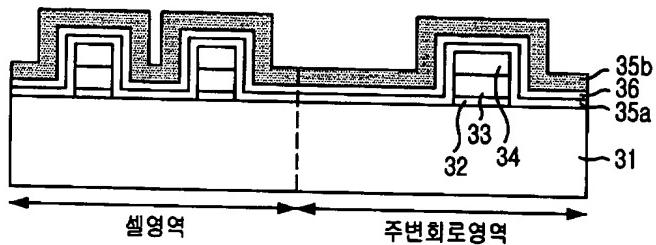
1020030017842

출력 일자: 2003/10/29

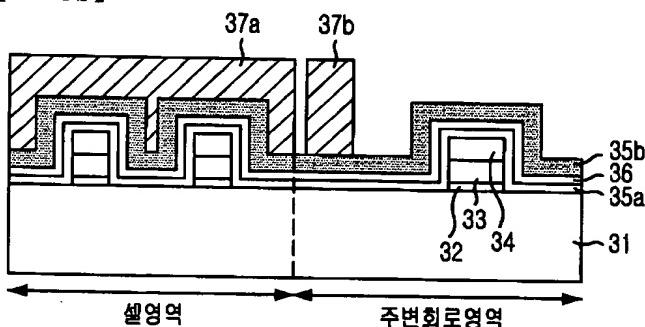
【도 2】



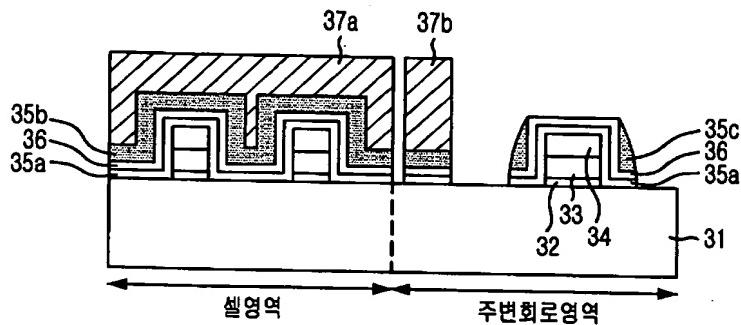
【도 3a】



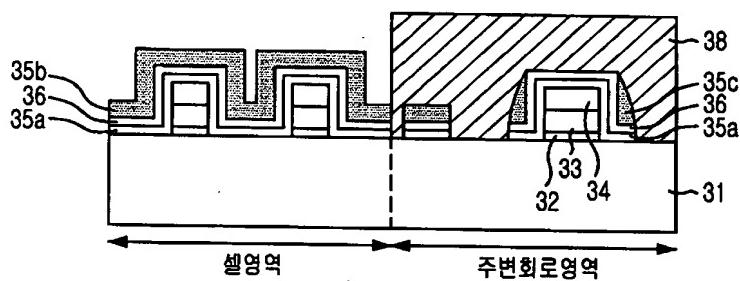
【도 3b】



【도 3c】



【도 3d】



【도 3e】

